

## INTERFACE DEVICE

Publication number: JP6216945

Publication date: 1994-08-05

Inventor: ISHIDA HIROICHI

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- International: **H04L13/10; H04N1/00; H04N1/32; H04L13/02; H04N1/00; H04N1/32; (IPC1-7): H04L13/10; H04N1/00; H04N1/32**

- European:

Application number: JP19930023456 19930120

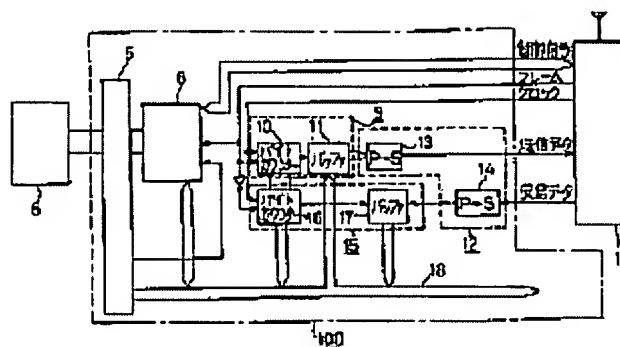
Priority number(s): JP19930023456 19930120

[Report a data error here](#)

### Abstract of JP6216945

**PURPOSE:**To always accurately transmit data by reading in reception data, which is stored in a radio equipment IF part, by plural bits to transmit this data to a terminal equipment.

**CONSTITUTION:**A CPU 8 indicates 8-byte data out of reception data, which is stored in a buffer 17 through a radio equipment 1 and an S/P converter 14, to a byte counter 16, and this data is outputted from the buffer 17 to a data bus 18 and is received. The CPU 8 transmits this reception data to a facsimile 6 through an A/D converter 5. 8-byte transmission data inputted from the facsimile 6 through the converter 5 is outputted to the bus 18 by the CPU 8, and a byte counter 10 is instructed to store this data in a buffer 11 through the bus 18. This data is subjected to P/S conversion by a P/S converter 3 and is outputted to the radio equipment. Thus, data is accurately transmitted without restrictions of transmission of one bit in a short time.



Data supplied from the [esp@cenet](#) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-216945

(43) 公開日 平成6年(1994)8月5日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 13/10		7240-5K		
H 0 4 N 1/00	1 0 7 Z	7046-5C		
1/32	Z	2109-5C		

審査請求 未請求 請求項の数 4 F D (全 9 頁)

(21) 出願番号 特願平5-23456

(22) 出願日 平成5年(1993)1月20日

(71) 出願人 00006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 石田 博一

尼崎市塚口本町8丁目1番1号 三菱電機

株式会社通信機製作所内

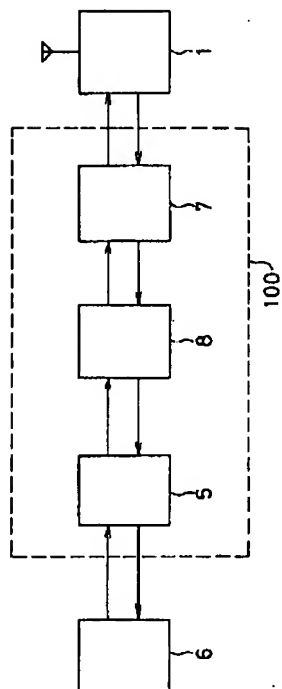
(74) 代理人 弁理士 田澤 博昭 (外2名)

(54) 【発明の名称】 インタフェース装置

(57) 【要約】

【目的】 極めて短い時間内に受信データ及び送信データの1ビットを伝送するという制約を排除し、常に正確な伝送を行うことができるインタフェース装置を得ることを目的とする。

【構成】 無線機インタフェース部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、その端末装置から複数ビット単位で伝送されてきた送信データをその無線機インタフェース部に格納するようにしたものである。



1: 無線機  
6: フラッシュメモリ (端末装置側)  
7: 無線機インタフェース部  
8: CPU (端末装置側インタフェース部)

1

## 【特許請求の範囲】

【請求項1】 無線機から伝送されてきた受信データであるシリアルデータをパラレルデータに変換して格納するとともに、上記無線機に対して伝送すべく格納した送信データであるパラレルデータをシリアルデータに変換してその無線機に伝送する無線機インタフェース部と、上記無線機インタフェース部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、上記端末装置から複数ビット単位で伝送されてきた送信データを上記無線機インタフェース部に格納する端末装置インタフェース部とを備えたインタフェース装置。

【請求項2】 無線機に対して伝送する送信データであるパラレルデータを格納する送信データ格納部と、上記無線機から伝送されてきた受信データであるシリアルデータをパラレルデータに変換するとともに、上記送信データ格納部により格納されたパラレルデータをシリアルデータに変換して上記無線機に伝送するデータ変換部と、上記データ変換部により変換された受信データを格納する受信データ格納部と、上記受信データ格納部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、上記端末装置から複数ビット単位で伝送されてきた送信データを上記送信データ格納部に格納する端末装置インタフェース部とを備えたインタフェース装置。

【請求項3】 無線機に対して伝送する送信データであるパラレルデータを格納する送信データ格納部と、上記無線機から伝送されてきた受信データであるシリアルデータをパラレルデータに変換するとともに、上記送信データ格納部により格納されたパラレルデータをシリアルデータに変換して上記無線機に伝送するデータ変換部と、上記データ変換部が上記無線機に対して伝送する送信データにチェックビットを付加するチェックビット付加部と、上記無線機から伝送されてきた受信データに付加されているチェックビットを格納するチェックビット格納部と、上記データ変換部により変換された受信データを格納する受信データ格納部と、上記受信データ格納部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、上記端末装置から複数ビット単位で伝送されてきた送信データを上記送信データ格納部に格納し、かつ、上記チェックビット格納部により格納されたチェックビットに基づいて受信データの伝送誤りを検査する端末装置インタフェース部とを備えたインタフェース装置。

【請求項4】 上記無線機インタフェース部を上記無線機に内蔵させたことを特徴とする請求項1、請求項2または請求項3記載のインタフェース装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、無線機とファクシ

2

リ等の端末装置間で、データのやり取りを行うインタフェース装置に関するものである。

【0002】

【従来の技術】 図9は従来のインタフェース装置を示す構成図であり、図において、100はインタフェース装置、1はディジタル式の無線機（無線機内でA/D変換してディジタル信号を出力するものであればアナログ式の無線機でもよい）、2は無線機1から伝送されてきた受信データを1ビットごと受信して1ビットごと出力するとともに、無線機1に対して伝送すべき送信データを1ビットごと受信して1ビットごと伝送する無線機インタフェース用CPU、3は無線機インタフェース用CPU2により出力された受信データを1ビットごと受信して1ビットごとA/D変換器5を介してファクシミリ6に伝送するとともに、A/D変換器5を介してファクシミリ6から伝送されてきた送信データを1ビットごと受信して1ビットごと無線機インタフェース用CPU2に出力するファクシミリインタフェース用CPU、4は無線機インタフェース用CPU2及びファクシミリインタフェース用CPU3を制御する制御用CPU、5はA/D変換器、6は端末装置としてのファクシミリである。また、図10は受信データ及び送信データの伝送状態を示す状態図であり、横軸は時間の経過を示す。

【0003】 次に動作について説明する。最初に、無線機1からファクシミリ6に対して信号を伝送する場合について説明する。

【0004】 まず、無線機インタフェース用CPU2は、無線機1から伝送されてきた受信データを1ビット受信すると、図10に示すように、その受信データを出力する。次に、ファクシミリインタフェース用CPU3は、無線機インタフェース用CPU2により出力された受信データを1ビット受信すると、図10に示すように、その受信データをA/D変換器5を介してファクシミリ6に出力し、ファクシミリ6がこれを入力する。

【0005】 また、受信データの2ビット目以降についても、無線機インタフェース用CPU2及びファクシミリインタフェース用CPU3は、1ビット目と同様に動作することにより、受信データのすべてが無線機1からファクシミリ6に伝送される。

【0006】 次に、ファクシミリ6から無線機1に対して信号を伝送する場合について説明する。

【0007】 まず、ファクシミリインタフェース用CPU3は、A/D変換器5を介してファクシミリ6から送信データを1ビット受信すると、図10に示すように、その送信データを出力する。次に、無線機インタフェース用CPU2は、ファクシミリインタフェース用CPU3により出力された送信データを1ビット受信すると、図10に示すように、その送信データを無線機1に出力し、無線機1がこれを入力する。

【0008】 また、送信データの2ビット目以降につい

でも、ファクシミリインタフェース用CPU3及び無線機インタフェース用CPU2は、1ビット目と同様に動作することにより、送信データのすべてがファクシミリ6から無線機1に伝送される。

【0009】上記のようにして、受信データ及び送信データは伝送されるが、無線機1及びファクシミリ6は、図10に示すように、約20 $\mu$ S間隔で受信データまたは送信データの1ビットを出力するので、無線機インタフェース用CPU2及びファクシミリインタフェース用CPU3は、約20 $\mu$ S以内に受信データまたは送信データの1ビットをファクシミリ6または無線機1に伝送する必要がある。

【0010】

【発明が解決しようとする課題】従来のインタフェース装置は以上のように構成されているので、受信データ及び送信データの1ビットを約20 $\mu$ S以内という極めて短い時間内で伝送しなければならず、何らかの影響で当該時間内に伝送できないときは正確な伝送が行えなくなるなどの問題点があった。また、極めて短い時間内に伝送しなければならぬため、受信データの伝送誤り等を検査することができないなどの問題点があった。

【0011】請求項1及び請求項2の発明は上記のような問題点を解消するためになされたもので、極めて短い時間内に受信データ及び送信データの1ビットを伝送するという制約を排除し、常に正確な伝送を行うことができるインタフェース装置を得ることを目的とする。

【0012】また、請求項3の発明は、上記目的に加え、受信データの伝送誤りを検査することができるインタフェース装置を得ることを目的とする。

【0013】さらに、請求項4の発明は、無線機とのインタフェースを容易に行うことができるインタフェース装置を得ることを目的とする。

【0014】

【課題を解決するための手段】請求項1の発明に係るインタフェース装置は、無線機インタフェース部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、その端末装置から複数ビット単位で伝送されてきた送信データをその無線機インタフェース部に格納するようにしたものである。

【0015】また、請求項2の発明に係るインタフェース装置は、受信データ格納部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、その端末装置から複数ビット単位で伝送されてきた送信データを送信データ格納部に格納するようにしたものである。

【0016】また、請求項3の発明に係るインタフェース装置は、受信データ格納部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、その端末装置から複数ビット単位で伝送されてきた送信データを送信データ格納部に格納し、かつ、

チェックビット格納部により格納されたチェックビットに基づいて受信データの伝送誤りを検査するようにしたものである。

【0017】さらに、請求項4の発明に係るインタフェース装置は、無線機インタフェース部を無線機に内蔵するようにしたものである。

【0018】

【作用】請求項1の発明におけるインタフェース装置は、無線機インタフェース部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、その端末装置から複数ビット単位で伝送されてきた送信データをその無線機インタフェース部に格納する端末装置インタフェース部を設けたことにより、極めて短い時間内に受信データ及び送信データの1ビットを伝送するという制約が排除される。

【0019】また、請求項2の発明におけるインタフェース装置は、受信データ格納部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、その端末装置から複数ビット単位で伝送されてきた送信データを送信データ格納部に格納する端末装置インタフェース部を設けたことにより、極めて短い時間内に受信データ及び送信データの1ビットを伝送するという制約が排除される。

【0020】また、請求項3の発明におけるインタフェース装置は、受信データ格納部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、その端末装置から複数ビット単位で伝送されてきた送信データを送信データ格納部に格納し、かつ、チェックビット格納部により格納されたチェックビットに基づいて受信データの伝送誤りを検査する端末装置インタフェース部を設けたことにより、極めて短い時間内に受信データ及び送信データの1ビットを伝送するという制約が排除され、また、受信データの誤りが発見される。

【0021】さらに、請求項4の発明におけるインタフェース装置は、無線機インタフェース部を無線機に内蔵するようにしたことにより、無線機とのインタフェースが容易になる。

【0022】

【実施例】実施例1. 以下、この発明の一実施例を図について説明する。図1はこの発明の一実施例によるインタフェース装置を示す構成図であり、図において、従来のものと同一符号は同一または相当部分を示すので説明を省略する。7は無線機1から伝送されてきた受信データであるシリアルデータをパラレルデータに変換して格納するとともに、無線機1に対して伝送すべく格納した送信データであるパラレルデータをシリアルデータに変換してその無線機1に伝送する無線機インタフェース部、8は無線機インタフェース部7により格納された受信データを、複数ビット単位で読み込んでファクシミリ

5

6へ伝送するとともに、ファクシミリ6から複数ビット単位で伝送されてきた送信データを無線機インタフェース部7に格納するCPU（端末装置インタフェース部）である。

【0023】また、図2は図1の無線機インタフェース部7の部分を詳細に示した構成図であり、図において、9は無線機1に対して伝送する送信データであるパラレルデータを格納する送信データ格納部、10はCPU8から伝送する送信データのデータ量（例えば、バイト量、ビット量）の指示を受けると、その送信データを格納するアドレスを指示するバイトカウンタ、11はバイトカウンタ10が指示するアドレスに送信データを格納するバッファである。

【0024】また、12は無線機1から伝送されてきた受信データであるシリアルデータをパラレルデータに変換するとともに、送信データ格納部9により格納されたパラレルデータをシリアルデータに変換して無線機1に伝送するデータ変換部、13はパラレルデータをシリアルデータに変換するP/S変換器、14はシリアルデータをパラレルデータに変換するS/P変換器である。

【0025】また、15はデータ変換部12により変換された受信データを格納する受信データ格納部、16はCPU8が受信する受信データのデータ量についてCPU8から指示を受けると、その受信データが格納されているアドレスの指示をするバイトカウンタ、17はバイトカウンタ16が指示するアドレスに格納されている受信データをCPU8に伝送するバッファである。無線機インタフェース部7は送信データ格納部9、データ変換部12及び受信データ格納部15から構成されている。

【0026】なお、18は送信データ及び受信データが伝送されるデータバスである。

【0027】次に動作について説明する。最初に、無線機1からファクシミリ6に対して信号を伝送する場合について説明する。

【0028】まず、S/P変換器14が、無線機1から伝送されてきた受信データであるシリアルデータをパラレルデータに変換し、バッファ17が、図3に示すように、そのパラレルデータを格納する。

【0029】次に、CPU8は、受信すべき受信データのデータ量をバイトカウンタ16に対して指示する。例えば、CPU8がバイトカウンタ16に対して8バイト（8ビットコンピュータであれば、64ビット）要求しているときは、バイトカウンタ16は、8バイト分のアドレスをバッファ17に指示する（例えば、受信データの先頭から24バイト分のデータがすでにファクシミリ6へ伝送されているときは、先頭から25バイト目から32バイト目のデータが格納されているアドレスを指示する）。これにより、受信データ格納部15の出力としてバッファ17は、CPU8に対して、指示されたアドレスに格納されている受信データをデータバス18を介

6

して伝送する（図4参照）。

【0030】次に、CPU8は、受信データを受信すると、図4に示すように、その受信データをA/D変換器5を介してファクシミリ6へ伝送する。

【0031】次に、ファクシミリ6から無線機1に対して信号を伝送する場合について説明する。

【0032】まず、ファクシミリ6は、CPU8に対して、例えば、8バイト分の送信データをA/D変換器5を介して出力すると、CPU8はこれを受信して出力するが、出力するに際し、バイトカウンタ10に対して8バイト分の送信データを出力する旨を指示する。これにより、バイトカウンタ10は、8バイト分の送信データを格納するアドレスをバッファ11に指示する（例えば、すでに先頭から32バイト分のデータがバッファ11に格納されているときは、先頭から33バイト目から40バイト目のアドレスを指示する）。そして、CPU8から出力された送信データはデータバス18を介してバッファ11に伝送され、バイトカウンタ10に指示されたアドレスに格納される（図4参照）。

【0033】次に、P/S変換器13は、バッファ11に格納されている送信データであるパラレルデータを、図3に示すように、シリアルデータに変換して無線機1へ伝送する（図4参照）。

【0034】上記のようにして、受信データ及び送信データは伝送されるが、無線機インタフェース部7とファクシミリ6間の伝送は、図4に示すように、無線機1と無線機インタフェース部6間の伝送と別個に行われる（一旦、バッファ11・17に格納してから伝送される）ので、従来のもののように約20μS以内に受信データまたは送信データの1ビットをファクシミリ6または無線機1に伝送しなければならないという制約がなくなり、従って、何らかの影響で、伝送が遅れても伝送の正確度には、影響が及ばなくなる。また、CPU8等は従来のファクシミリインタフェース用CPU3等に比べて処理の負担が極めて軽減されることは言うまでもない。

【0035】実施例2。図5はこの発明の他の実施例によるインタフェース装置を示す構成図であり、図において、図1と同一符号は同一または相当部分を示すので説明を省略する。19はP/S変換器13が無線機1に対して伝送する送信データにチェックビットを付加するチェックビット付加部、20は無線機1から伝送されてきた受信データに付加されているチェックビットを格納するチェックビット格納部、21は受信データ格納部15により格納された受信データを、複数ビット単位で読み込んでファクシミリ6へ伝送するとともに、ファクシミリ6から複数ビット単位で伝送されてきた送信データを送信データ格納部9に格納し、かつ、チェックビット格納部20により格納されたチェックビットに基づいて受信データの伝送誤りを検査するCPU（端末装置インタ

フェース部)である。無線機インタフェース部7は送信データ格納部9、データ変換部12、受信データ格納部15、チェックビット付加部19及びチェックビット格納部20から構成されている。

【0036】次に動作について説明する。チェックビット付加部19、チェックビット格納部20及びCPU21以外の動作は実施例1と同様であるため説明を省略する。

【0037】チェックビット格納部20は、無線機1から伝送されてくる受信データに付加されたチェックビット(図6参照)を格納し、CPU21の指示にしたがってそのチェックビットをCPU21に伝送する。CPU21は、そのチェックビットを受信すると、そのチェックビットに基づいて受信データに誤りがあるか否かを検査する。もし、誤りがあれば、その受信データに伝送誤りがあったことを、無線機1またはファクシミリ6にその旨を知らせる。これにより、伝送の信頼性が一層向上されることになる。一方、送信データを無線機1に対して伝送するときは、チェックビット付加部19が、図6に示すように、送信データにチェックビットを付加する。これにより、無線機1は送信データに伝送誤りがあったか否かを検査することができるようになる。

【0038】実施例3。図7はこの発明の他の実施例による入力インタフェース装置を示す構成図であり、実施例1及び実施例2における無線機インタフェース部7を無線機1に内蔵させたものである。これにより、無線機インタフェース部7の機能を有する無線機1との接続及び制御も可能になる。また、無線機インタフェース部7が無線機1に内蔵された分、無線機1との接続取り合いが容易になる。

【0039】実施例4。図8に本願発明のインタフェース装置を用いてシステムを構築した例を示す。上記実施例では、端末装置6としてファクシミリを用いた場合について示したが、MNP(パソコン通信)でもよく、同等の効果を奏する。また、無線機1は、高周波数搬送波を用いて通信を行うのであれば、有線のもの及び光通信のものも含むものである。

【0040】

【発明の効果】以上のように、請求項1の発明によれば、無線機インタフェース部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、その端末装置から複数ビット単位で伝送されてきた送信データをその無線機インタフェース部に格納するように構成したので、極めて短い時間内に受信データ及び送信データの1ビットを伝送するという制約が排除され、従って、常に正確な伝送を行うことができるなどの効果がある。

【0041】また、請求項2の発明によれば、受信データ格納部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、その端末

装置から複数ビット単位で伝送されてきた送信データを送信データ格納部に格納するように構成したので、極めて短い時間内に受信データ及び送信データの1ビットを伝送するという制約が排除され、従って、常に正確な伝送を行うことができるなどの効果がある。

【0042】また、請求項3の発明によれば、受信データ格納部により格納された受信データを、複数ビット単位で読み込んで端末装置へ伝送するとともに、その端末装置から複数ビット単位で伝送されてきた送信データを送信データ格納部に格納し、かつ、チェックビット格納部により格納されたチェックビットに基づいて受信データの伝送誤りを検査するように構成したので、上記請求項1及び2の効果に加え、伝送の信頼性が向上するなどの効果がある。

【0043】さらに、請求項4の発明によれば、無線機インタフェース部を無線機に内蔵するように構成したので、無線機とのインタフェースが容易になるなどの効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例によるインタフェース装置を示す構成図である。

【図2】図1の無線機インタフェース7の部分を詳細に示した構成図である。

【図3】受信データ及び送信データのデータ構造を示したデータ構造図である。

【図4】受信データ及び送信データの伝送状態を示す状態図である。

【図5】この発明の他の実施例によるインタフェース装置を示す構成図である。

【図6】受信データ及び送信データのデータ構造を示したデータ構造図である。

【図7】この発明の他の実施例によるインタフェース装置を示す構成図である。

【図8】本願発明のインタフェース装置を用いてシステムを構築した例を示す構成図である。

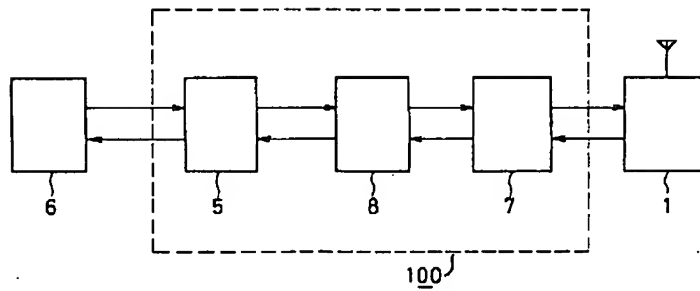
【図9】従来のインタフェース装置を示す構成図である。

【図10】受信データ及び送信データの伝送状態を示す状態図である。

【符号の説明】

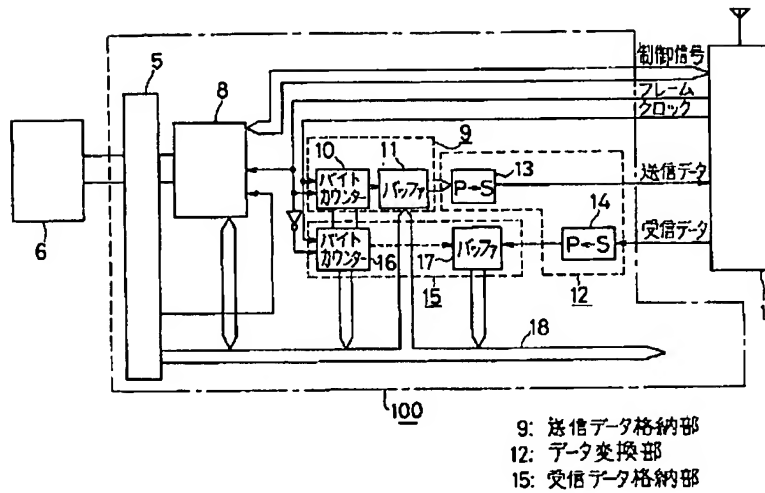
- 1 無線機
- 6 ファクシミリ(端末装置)
- 7 無線機インタフェース部
- 8、21 CPU(端末装置インタフェース部)
- 9 送信データ格納部
- 12 データ変換部
- 15 受信データ格納部
- 19 チェックビット付加部
- 20 チェックビット格納部

【図1】

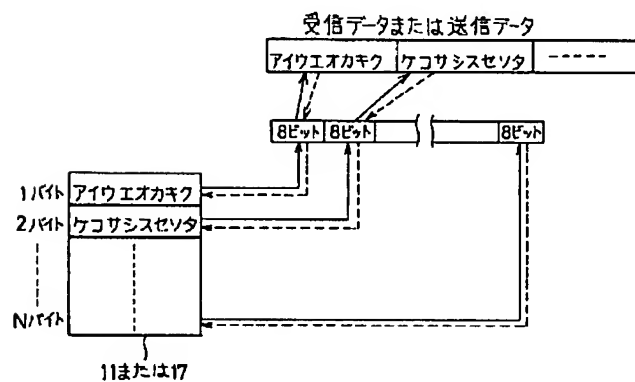


- 1: 無線機  
 6: ファクシミリ(端末装置)  
 7: 無線機インタフェース部  
 8: CPU(端末装置インタフェース部)

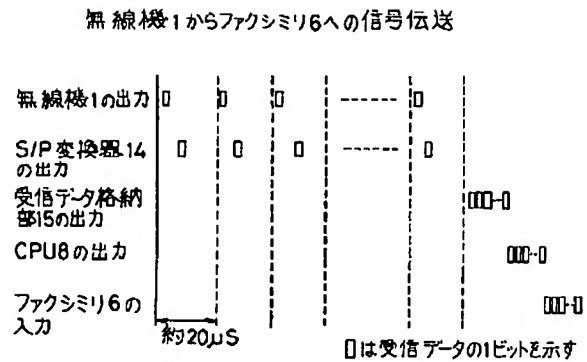
【図2】



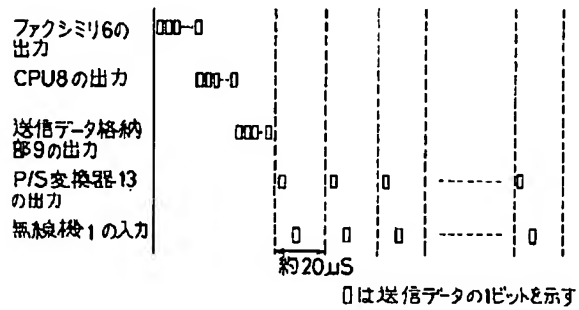
【図3】



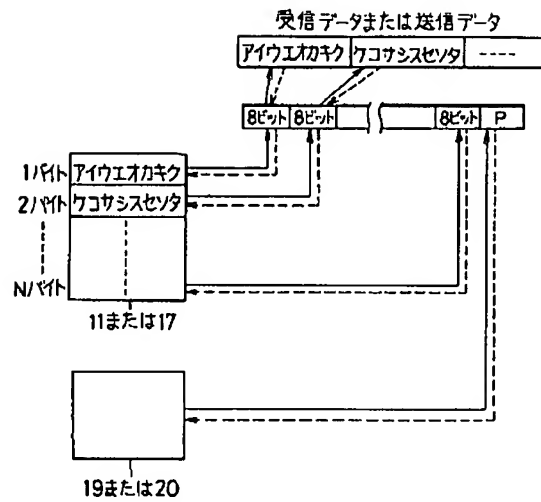
【図4】



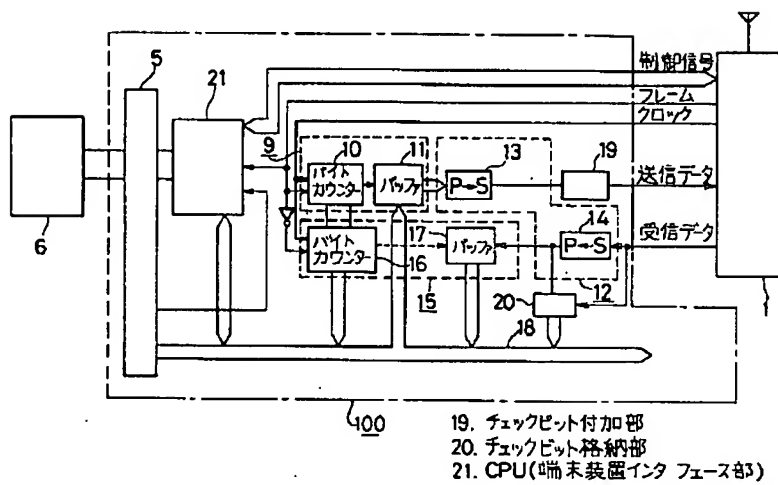
ファクシミリ6から無線機1への信号伝送



【図6】

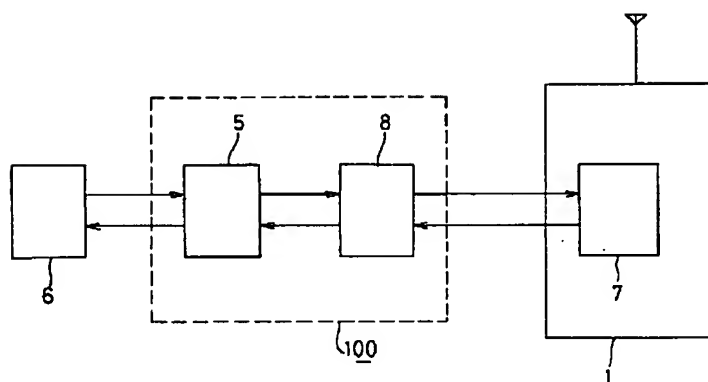


【図5】

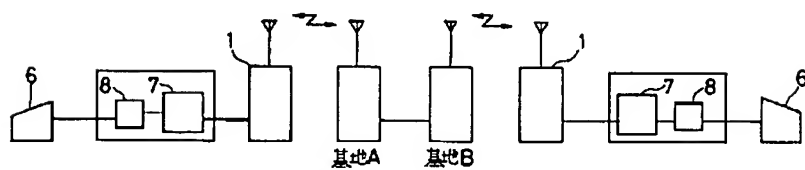




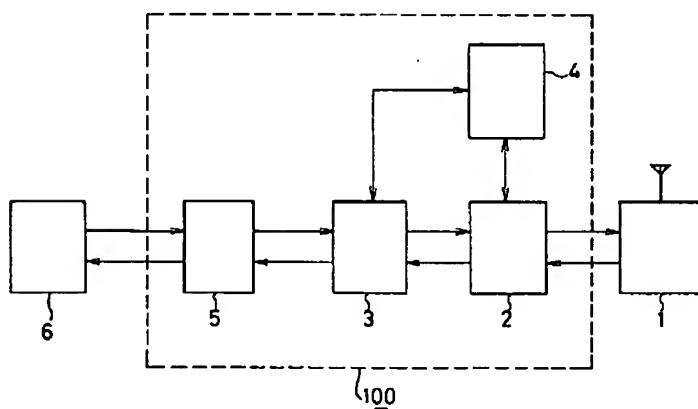
【図7】



【図8】



【図9】



【図10】

無線機1からファクシミリ6への信号伝送



ファクシミリ6から無線機1への信号伝送

